

FABRIKASI DAN PENCIRIAN pMOS 0.25 μ m DENGAN STRUKTUR PERUANG-POLISILIKON

Siti Nooraya Mohd.Tawil, Ibrahim Ahmad dan Burhanuddin Yeop Majlis
Dept. Of Electrical, Electronics & System Engineering, Faculty of Engineering, Universiti
Kebangsaan Malaysia, UKM Bangi 43600, Selangor, Malaysia,

Email: nooraya@kuittho.edu.my / ibrahim@eng.ukm.my

ABSTRAK

Kajian ini dijalankan adalah bertujuan untuk merekabentuk dan memfabrikasi suatu transistor pMOS (MOSFET saluran-p) dengan struktur peruang-poli yang mempunyai panjang salur 0.25 μ m bagi mendapatkan ciri elektrik yang lebih baik berbanding rekabentuk pMOS dengan struktur LDD (Lightly Doped Drain). Dua komponen utama perisian ini iaitu ATHENA dan ATLAS masing-masing digunakan untuk menjalankan simulasi proses dan juga simulasi peranti yang bertujuan untuk mendapatkan ciri-ciri elektrik peranti yang direkabentuk. Rekabentuk pMOS peruang-polisilikon yang dihasilkan adalah berdasarkan kepada rekabentuk PMOS 0.25 μ m dengan struktur LDD yang telah direkabentuk dan difabrikasi dengan kaedah yang sama sebelum ini. Proses merekabentuk dibahagikan kepada empat varian iaitu varian 1, 2, 3 dan 4. Varian 1 dan 2 masing-masing adalah mewakili rekabentuk pMOS peruang-poli yang menggunakan teknik penyahlindapan (annealing) relau konvensional dan penyahlindapan terma pantas (RTP) untuk proses resapan SOD (Spin On- Dopant) dalam pembentukan kawasan sumber dan salir masing-masing. Manakala varian 3 dan 4 pula mewakili rekabentuk yang menggunakan teknik implantasi ion dopan untuk membentuk sumber dan salir yang juga secara penyahlindapan relau konvensional dan terma pantas masing-masing. Kajian lebih tertumpu kepada simulasi yang dijalankan ke atas varian 1 dan 2. Hasil daripada simulasi tersebut, didapati nilai voltan ambang bagi pMOS varian 1 ialah 0.742V manakala pMOS varian 2 pula adalah 0.725V. Sebagai kesimpulan rekabentuk pMOS bersrtuktur peruang poli lebih baik prestasinya di samping proses fabrikasinya yang lebih mudah berbanding dengan pMOS berstruktur LDD.

<http://journal.masshp.net/wp-content/uploads/Journal/2004/Siti%20Nooraya%20Mohd.Tawil%20177-184.pdf>

RUJUKAN

- [1] Athena and Atlas user's manuals. 1997. Silvaco International USA,
- [2] Iwai, H & Ohmi S.I. 2000. "Problems and solutions for downsizing CMOS below 0.1 μ m" ; Proceeding IEEE International Conference on Semiconductor Electronics 2000, 13-15 Nov 2000, 1-19.
- [3] Masuri Othman. 1994. Analisis dan Rekabentuk Sistem VLSI. Dewan Bahasa dan Pustaka.
- [4] Ng Jin Aun. 2002. Rekabentuk Transistor Dan Simulasi Kepada Pembangunan Teknologi CMOS 0.25 μ m. Latihan Ilmiah Sarjana. Universiti Kebangsaan Malaysia.
- [5] Sze, S. M. 2001. Semiconductor Devices Physics and Technology. New York: John Wiley & Sons.
- [6] Toan, N. N. 1999. Spin On Glass: Materials and Applications in Advanced IC Technology. PhD Thesis. University Twente.

[7] Toan, N. N., Scholtens, P. C. S., Dekker, R., Aarnink, T., Holleman, J., Chien, N. D. and Woerlee, P. H. 1999. A Proposal Poly-Spacer Structure for Sub-0.1 μm MOSFETs. Proceedings of the International Workshop on Materials Science (IWOMS '99): 1-4.