

**Solid State Science and Technology, Vol. 12, No. 1 (2004) 199-205**

**PENSKALAAN GET DIELEKTRIK BAGI TEKNOLOGI 0.18  $\mu\text{m}$  CMOS**

Shafinaz Sobihana bt Shariffudin, Ibrahim Ahmad & Burhanuddin Yeop Majlis

Jabatan Kejuruteraan Elektrik, Elektronik & Sistem, Fakulti Kejuruteraan, Universiti Kebangsaan Malaysia, Bangi.

shafinaz@unisel.edu.my, ibrahim@vlsi.eng.ukm.my, burhanuddin@vlsi.eng.ukm.my

**ABSTRAK**

Peranti CMOS dengan saiz salur 0.18 $\mu\text{m}$  direkabentuk berdasarkan transistor CMOS dengan saiz salur 0.35 $\mu\text{m}$  yang telah direkabentuk dan difabrikasikan dengan cara yang sama sebelum ini. Beberapa parameter penting yang harus ditekankan semasa proses penskalaan adalah saiz salur, ketebalan oksida get, implantasi ion bagi pembetulan voltan ambang serta parameter-parameter yang berkaitan. Proses fabrikasi MOS ini dijalankan secara simulasi menggunakan satu perisian yang dikeluarkan oleh syarikat Silvaco Inc. iaitu Virtual Wafer Fabrication (VWF) Silvaco TCAD Tools. MOS jenis-n dan MOS jenis-p disimulasikan secara berasingan bagi memudahkan dan memendekkan tempoh simulasi tersebut. Dua bahagian utama daripada perisian ini akan digunakan iaitu Athena bagi memfabrikasikan peranti yang dikehendaki secara simulasi, dan Atlas bagi mensimulasikan ciri-ciri peranti tersebut. Hasil simulasi adalah seperti berikut; voltan ambang bagi nMOS adalah 0.5V manakala bagi pMOS ialah 0.85V. Ciri-ciri penting yang lain adalah kedalaman simpang  $X_j$  bagi nMOS ialah 0.21 $\mu\text{m}$  dan bagi pMOS ialah 0.12  $\mu\text{m}$ . Nilai rintangan helaian bagi polisilikon adalah 5.7 ohm/segi dan 2.2 ohm/segi masing –masing bagi nMOS dan pMOS. Kesimpulannya ialah hasil simulasi pemprosesan bagi get skala sangat menghampiri nilai sebenar bagi voltan ambang yang terletak dalam julat 0.4 hingga 0.6V.

<http://journal.masshp.net/wp-content/uploads/Journal/2004/Shafinaz%20Sobihana%20bt%20Shariffudin%20199-205.pdf>

**RUJUKAN-RUJUKAN**

- [1] Chen, J. Y. 1990. CMOS Devices and Technology for VLSI. Singapore: Prentice Hall.
- [2] Dennard R.H, Gaensslen F. H., Yu H. N. Rideout V. L., Bassous E., and LeBlanc E. 1974. Design of ion implanted MOSFET with very small physical dimension. IEEE J. Solid State Circuits. (SC-9):256
- [3] Fuller, L., Bhashkaran, S. &Puchades, I. 2001. RIT's Advanced CMOS Processes (1.0 $\mu\text{m}$  and 0.5 $\mu\text{m}$ ). Rochester Institute of Technology.
- [4] Hu, C. 1995. Future CMOS Scaling and Reliability. Proceedings of the IEEE. 81(5): 682-689

- [5] Iwai, H. 1997. Silicon MOSFET Scaling Beyond 0.1 Micron. International Conference on Microelectronics. 1: 11-18.
- [6] Iwai, H. Momose, H. S., & Katsumata, Y. 1995. Si-MOSFET Scaling Down to Deep-sub-0.1 $\mu\text{m}$  Range and Future of Silicon LSI. Proceedings of Technical Papers: 262-267
- [7] Iwai, H. & Ohmi, S. 2000. Problem and Solutions for Downsizing CMOS Below 0.1  $\mu\text{m}$ . ICSE Proceeding 2000: 1-19.
- [8] Jakonis, D. (tanpa tarikh). MOSFET Scaling and Deep Submicron Effects. Semiconductor Technology. (atas talian) <http://www.ifm.liu.se/courses/tffy34/tutorial3.pdf> (12 Mac 2003).
- [9] Kang, S.M. & Leblebici, Y. 1999. CMOS Digital Integrated Circuits – Analysis and Design. McGraw Hill.
- [10] Mohd Rofei Mat Hussin. 2000. Rekabentuk Transistor dan Simulasi Kepada Pembangunan Teknologi CMOS 0.35 $\mu\text{m}$ . Latihan Ilmiah. Bangi: Universiti Kebangsaan Malaysia.
- [11] Odanaka, S. & Hiroki, A. 1997. Potential Design and Transport Property of 0.1  $\mu\text{m}$  MOSFET with Asymmetric Channel Profile. IEEE Transactions On Electron Devices, 44 (4).
- [12] Pucknell, D. A. & Eshraghian K. 1994. Basic VLSI Design. Third Edition. Australia: Prentice Hall.
- [13] Sze, S. M. 2002. Semiconductor Devices Physics and Technology. Second Edition. AS: John Wiley & Sons.
- [14] Silvaco. 1999. TCAD Tutorial and Examples Manual Volume I. Santa Clara.
- [15] Yuwen, W. (tanpa tarikh). Predective Technology Modeling for Deep-Submicron MOSFET Design. (atas talian) [http:// www.ntu.edu.sg/eee/eeeb/LectureNotes/Thesis/Presen-Ywang.pdf](http://www.ntu.edu.sg/eee/eeeb/LectureNotes/Thesis/Presen-Ywang.pdf) (12 Mac 2003).